

PATENT ABSTRACTS OF JAPAN

(11)Publication 07-319755

number :

(43)Date of 08.12.1995

publication of

application :

(51)Int. Cl.

G06F 12/00

(21)Applicatio 06-110748

n number :

(71)Applicant : NIPPON TELEGR & TELEPH CORP

<NTT>

(22)Date of 25.05.1994

filing :

(72)Inventor : SAKAMOTO HIDEKI

MARUYAMA MITSURU

NISHIMURA KAZUTOSHI

(54) MULTI-PORT MEMORY

(57)Abstract:

PURPOSE: To provide a multi-port memory where the speed for continuous data transfer is not reduced regardless of simultaneous memory access from many ports.

CONSTITUTION: Two memory banks A and B are provided for such interleave constitution having a period 2D that data is stored in areas of memory banks switched by a certain data amt. D, and memory bank selecting parts S0 and S1 are controlled by a control part C0 so that phases of access to all memory banks don't collide with each other at intervals of the data amt. D. One of memory banks A and B is selected to be used and is connected to input/output interface parts 10 and 11 to external devices E0 and E1 by switching.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

for HGM-144-A

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-319755

(43) 公開日 平成7年(1995)12月8日

(51) Int. Cl.⁵

G 0 6 F 12/00

識別記号

片内整理番号

P I

技術表示箇所

5 7 0 C 7608-5B

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平6-110748

(22) 出願日 平成6年(1994)5月25日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 阪本 秀橋

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 丸山 充

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 西村 一敏

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

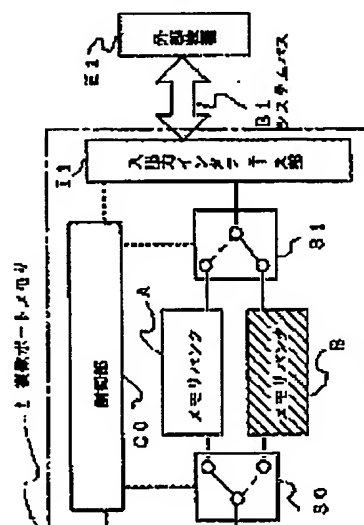
(74) 代理人 弁理士 吉田 精季

(54) 【発明の名称】 複数ポートメモリ

(57) 【要約】

【目的】 多数のポートから同時にメモリアクセスを行っても連続データ転送時の速度低下を生じることの無い複数ポートメモリを提供する。

【構成】 データを格納するエリアが一定のデータ量D毎に異なったメモリバンクとなるように2Dを周期とするインタリーブ構成を行なうための2個のメモリバンクA、Bを設けると共に、データ量D毎に全メモリバンクをアクセスする位相が衝突しないように、制御部C0によってメモリバンク選択部S0、S1を制御し、メモリバンクA、Bのうち使用する1個のメモリバンクを選択して、外部装置E0、E1との入出力インタフェース部I0、I1に接続切替える。



(2)

特開平7-319755

1

【特許請求の範囲】

【請求項1】 n 個 (n は2以上の自然数)の外部装置との入出力インタフェース部を有する複数ポートメモリにおいて、

データを格納するエリアが一定のデータ量 D 毎に異なったメモリバンクとなるよう、データ量 $D \times n$ を周期とするインタリーブ構成を行なうための n 個のメモリバンクと、

それぞれが前記 n 個のメモリバンクのうち使用する1個のメモリバンクを選択して対応する前記入出力インタフェース部に接続する前記メモリバンクと同数のメモリバンク選択部と、

前記一定のデータ量 D 毎に前記全メモリバンクをアクセスする位相が衝突しないように前記各メモリバンク選択部における接続切替を制御する制御部とを設けたことを特徴とする複数ポートメモリ。

【請求項2】 データ転送速度の比が $i : j$ (i, j は整数)である第1及び第2の外部装置に接続される入出力インタフェース部を有する複数ポートメモリであって、

データを格納するエリアが一定のデータ量 D 毎に異なったメモリバンクとなるように、データ量 $D \times (i + j)$ を周期とするインタリーブ構成を行なうための $(i + j)$ 個のメモリバンクと、

それぞれが前記 $(i + j)$ 個のメモリバンクのうち使用する1個のメモリバンクを選択する前記メモリバンクと同数のメモリバンク選択部と、

前記一定のデータ量 D 毎に前記全メモリバンクをアクセスする位相が衝突しないように前記各メモリバンク選択部における接続切替を制御する制御部と、

前記 i 個のメモリバンク選択部を介してアクセスして得たデータを合成して前記第1の外部装置に対する入出力インタフェース部へ転送する第1の合成分配部と、

前記 j 個のメモリバンク選択部を介してアクセスして得たデータを合成して前記第2の外部装置に対する入出力インタフェース部へ転送する第2の合成分配部とを有することを特徴とする複数ポートメモリ。

【請求項3】 データ転送速度の比が $S_1 : S_2 : \dots : S_n$ (n は3以上の整数) (S_x は整数 (x は自然数))である n 個の外部装置との入出力インタフェース部を有する複数ポートメモリであって、

データを格納するエリアが一定のデータ量 D 毎に異なったメモリバンクとなるように、データ量 $D \times (S_1 + S_2 + \dots + S_n)$ を周期とするインタリーブ構成を行なうための $(S_1 + S_2 + \dots + S_n)$ 個のメモリバンクと、

2

部における接続切替を制御する制御部と、

S_1 個のメモリバンク選択部を介してアクセスして得たデータ、それ以外の S_2 個のメモリバンク選択部を介してアクセスして得たデータのように各外部装置の転送速度に比例した個数の排他的メモリバンク選択部を介してアクセスして得たデータを合成して、それぞれデータ転送速度に応じた外部装置に対する入出力インタフェース部に転送する n 個の合成分配部とを有することを特徴とする複数ポートメモリ。

10 【請求項4】 前記制御部は、

外部装置からの連続的なメモリアクセス要求に対して、所定の開始アドレス (以下第 m アドレスとする) に対応する第 k のメモリバンクのアドレスにアクセスし、

第 $(m + 1)$ アドレスに対応する第 $(k + 1)$ (k は1以上 p 以下の自然数とする。ただし、 p はメモリバンクの個数を意味し、 p は2以上の自然数とする。)のメモリバンク上のアドレスから、第 $(m + p - k)$ アドレスに対応する第 p のメモリバンク上のアドレスまで順次アクセスし、

20 第 $(m + p - k + 1)$ アドレスに対応する第1のメモリバンクから、

第 $(m + p - k + p)$ アドレスに対応する第 p のメモリバンクまでにアクセスし、

以降所定の終了アドレスに至るまで同様にメモリアクセスを繰り返すように各メモリバンク選択部を制御することを特徴とする請求項1、2又は3記載の複数ポートメモリ。

【請求項5】 前記制御部は、一の外部装置からのアクセス要求に対してメモリアクセス制御中に、他の外部装置からのアクセス要求があった場合は、該要求を遅延させることによってメモリバンクアクセスの位相を調整することを特徴とする請求項1、2又は3記載の複数ポートメモリ。

30 【請求項6】 前記合成分配部は、前記各メモリバンク選択部によりアクセスして得たデータを、連続アドレスとなるように合成して対応する入出力インタフェース部に転送することを特徴とする請求項2又は3記載の複数ポートメモリ。

【発明の詳細な説明】

40 【0001】

【産業上の利用分野】 本発明は、複数のCPU、複数のI/Oデバイス間でデータ交換を行なうための複数の入出力ポートを有するメモリに関するもので、特に装置内で多量の連続データ転送がなされるマルチメディア処理装置のメモリに適用される複数ポートメモリに関する。

特開平7-319755

(3)

4

3

りMaを競合アクセスする構成である。

【0003】従来の複数ポートメモリは、内部にメモリ使用権調停部Ca、メモリ選択部Sa、各システムバスBa、Bbに対応する入出力インタフェース部Ia、Ibを備え、複数のシステムバスBa、Bbからの同時メモリアクセスの発生に対して、メモリ使用権調停部Caにより先着順等の選択規律に従って1つのシステムバス

【0004】例えば、システムバスBaを介する外部装置Eaからのアクセス要求の方がシステムバスBbを介する外部装置Ebからのアクセス要求より早かったとすると、メモリ使用権調停部CaによってシステムバスBaの入出力インタフェースIaとメモリMaとがメモリ選択部Saにより接続され、他のシステムバスBbからのデータアクセスを遅延させていた。

【0005】図3は前述した従来例の複数ポートメモリにおけるメモリアクセスタイミング例を示した図である。このタイミングは、システムバスBaに接続された外部装置Eaからはアドレス0000(hex)を先頭として8ワードのデータを、またシステムバスBbに接続された外部装置Ebからはアドレス0010(hex)を先頭として8ワードのデータをそれぞれ連続読み出した場合のものである。ここで、外部装置Ea、Ebにおけるデータ転送のアクセス開始点はそれぞれPa、Pbである。また、図中の数字はアクセスしているデータのアドレスを示すものである。図からも明らかなように、外部装置Eaがデータ転送を行なっているときには外部装置Ebのアクセスは遅延され、逆に外部装置Ebがデータ転送を行なっているときには外部装置Eaのアクセスが遅延されている。

【0006】

【発明が解決しようとする課題】しかしながら、前述した従来の複数ポートメモリでは、1つのポートからのメモリアクセス中は、各アクセスサイクル毎に他のポートからのアクセスを遅延させるものであるから、ポート数が増加し、多くの外部装置が同時にメモリアクセスを行った場合には、競合待ちのために各メモリアクセスサイクルが長くなり、連続したデータ転送の速度が低下するという問題点があった。

【0007】本発明の第1の目的は上記の問題点に鑑み、多数のポートから同時にメモリアクセスを行っても連続データ転送時の速度低下を生じることの無い複数ポートメモリを提供することにある。また、第2の目的はメモリバンクへのアクセス処理における接続切替え制御

とにある。

【0008】

【課題を解決するための手段】本発明は上記の目的を達成するために請求項1では、n個の外部装置との入出力インタフェース部を有する複数ポートメモリに対して、データを格納するエリアがバイト/ワード等の一定のデータ量D毎に異なったメモリバンクとなるようにデータ量D×nを周期とするインタリーブ構成を行なうためのn個のメモリバンクを設けると共に、前記一定のデータ量D毎に前記全メモリバンクをアクセスする位相が衝突しないように、制御部によって前記メモリバンクと同数のメモリバンク選択部を制御し、前記n個のメモリバンクのうち使用する1個のメモリバンクを選択して前記入出力インタフェース部に接続切替えるように構成した。

【0009】また、請求項2では、データ転送速度の比がi:jである第1及び第2の外部装置に接続される入出力インタフェース部を有する複数ポートメモリに対して、データを格納するエリアが一定のデータ量D毎に異なったメモリバンクとなるように、データ量D×(i+j)を周期とするインタリーブ構成を行なうための(i+j)個のメモリバンクを設けると共に、前記一定のデータ量D毎に前記全メモリバンクをアクセスする位相が衝突しないように、制御部によって前記メモリバンクと同数のメモリバンク選択部を制御し、前記(i+j)個のメモリバンクのうち使用する1個のメモリバンクを選択して第1の台成分配部及び第2の台成分配部に接続切り替えし、さらに前記第1の台成分配部においては前記1個のメモリバンク選択部を介してアクセスして得たデータを合成して前記第1の外部装置に対する入出力インタフェース部へ転送すると共に、前記第2の台成分配部においては前記j個のメモリバンク選択部を介してアクセスして得たデータを合成して前記第2の外部装置に対する入出力インタフェース部へ転送するように構成した。

【0010】また、請求項3では、データ転送速度の比がS1:S2:…:Snであるn個の外部装置との入出力インタフェース部を有する複数ポートメモリに対して、データを格納するエリアが一定のデータ量D毎に異なったメモリバンクとなるように、データ量D×(S1+S2+…+Sn)を周期とするインタリーブ構成を行なうための(S1+S2+…+Sn)個のメモリバンクを設けると共に、前記一定のデータ量D毎に前記全メモリバンクをアクセスする位相が衝突しないように、制御部に

(4)

特開平7-319755

5

介してアクセスして得たデータのように各外部装置の転送速度に比例した個数の排他的メモリバンク選択部を介してアクセスして得たデータを合成して、それぞれデータ転送速度に応じた外部装置に対する入出力インタフェース部に転送するように構成した。

【0011】また、請求項4では、請求項1、2又は3記載の複数ポートメモリにおいて、前記制御部が、外部装置からの連続的なメモリアクセス要求に対して、所定の開始アドレス（第 m アドレス）に対応する第 k のメモリバンクのアドレスにアクセスし、第 $(m+1)$ アドレスに対応する第 $(k+1)$ のメモリバンク上のアドレスから、第 $(m+p-k)$ アドレスに対応する第 p のメモリバンク上のアドレスまで順次アクセスし、第 $(m+p-k+1)$ アドレスに対応する第1のメモリバンクから、第 $(m+p-k+p)$ アドレスに対応する第 p のメモリバンクまでにアクセスし、以降所定の終了アドレスに至るまで同様にメモリアクセスを繰り返すように各メモリバンク選択部を制御するように構成した。

【0012】また、請求項5では、請求項1、2又は3記載の複数ポートメモリにおいて、前記制御部が、一の外部装置からのアクセス要求に対するメモリアクセス制御中に他の外部装置からのアクセス要求があった際に、該要求を遅延させることによってメモリバンクアクセスの位相を調整するように構成した。

【0013】また、請求項6では、請求項2又は3記載の複数ポートメモリにおいて、前記合成分配部が、前記各メモリバンク選択部によりアクセスして得たデータを、連続アドレスとなるように合成して対応する入出力インタフェース部に転送するように構成した。

【0014】

【作用】本発明の請求項1記載の複数ポートメモリによれば、 n 個のメモリバンクによりメモリインタリーブが構成され、また n 個のメモリバンク選択部のそれぞれによってアクセスされるメモリのアドレスに応じて使用するメモリバンクが1つ選択される。このとき、制御部により前記各メモリバンク選択部が常に排他的なメモリバンクを選択するよう制御され、一のメモリバンクに対する複数の外部装置からの同時アクセスが防止される。さらに、各入出力インタフェース部に接続された外部装置が異なったメモリバンク選択部を通じてメモリに対して連続したデータ転送を行う場合には、前記各外部装置の転送速度が同じであれば、前記メモリインタリーブの単位毎にそれぞれ異なったメモリバンクが選択され、各外部装置からのメモリアクセスはいつでも競合によるアクセス待ちが発生せずに行われ、連続転送時の速度が低下されることがない。

6

レスに応じて使用するメモリバンクが1つ選択される。このとき、制御部により前記各メモリバンク選択部が常に排他的なメモリバンクを選択するよう制御され、一のメモリバンクに対する複数の外部装置からの同時アクセスが防止される。各入出力インタフェース部に接続された外部装置が異なったメモリバンク選択部を通じてメモリに対して連続したデータ転送を行う際、各入出力インタフェース部に接続された各外部装置の転送速度が異なる場合には、各入出力インタフェース部とメモリバンク選択部との間に設けられた合成分配部によって、複数のメモリバンク選択部の合成入出力データの順序入れ替えが行われ、複数の入出力インタフェース部に分配される。これにより、各外部装置からのメモリアクセスはいつでも競合によるアクセス待ちが発生せずに行われ、連続転送時の速度が低下されることがない。

【0016】また、請求項3記載の複数ポートメモリによれば、 $(S1 + S2 + \dots + Sn)$ 個のメモリバンクによりメモリインタリーブが構成され、また $(S1 + S2 + \dots + Sn)$ 個のメモリバンク選択部のそれぞれによってアクセスされるメモリのアドレスに応じて使用するメモリバンクが1つ選択される。このとき、制御部により前記各メモリバンク選択部が常に排他的なメモリバンクを選択するよう制御され、一のメモリバンクに対する複数の外部装置からの同時アクセスが防止される。各入出力インタフェース部に接続された外部装置が異なったメモリバンク選択部を通じてメモリに対して連続したデータ転送を行う際、各入出力インタフェース部に接続された各外部装置の転送速度が異なる場合に、各入出力インタフェース部とメモリバンク選択部との間に設けられた合成分配部によって、複数のメモリバンク選択部の合成入出力データの順序入れ替えが行われ、複数の入出力インタフェース部に分配される。これにより、各外部装置からのメモリアクセスはいつでも競合によるアクセス待ちが発生せずに行われ、連続転送時の速度が低下されることがない。

【0017】また、請求項4記載の複数ポートメモリによれば、開始アドレス（第 m アドレス）から連続的なメモリアクセスを行う際に、第 m アドレスに対応する第 k のメモリバンクから第 p のメモリバンクまで順次アクセスが行われた後、第1のメモリバンクに戻り、該第1のメモリバンクから第 p のメモリバンクへ向かって順次ローテーションしてアクセスが行われる。これにより、メモリバンクへのアクセス処理における接続切替え制御が簡略化される。

【0018】また、請求項5記載の複数ポートメモリによれば、一の外部装置からのアクセス要求に対して、他の外部装置からのアクセス要求を遅延させることによってメモリバンクアクセスの位相を調整するように構成した。

特開平7-319755

(5)

8

7

整合がとれた時点から前記双方の外部装置からのメモリアクセスが並行して行われる。これにより、データ転送の開始時における位相調整のための遅延以外にはアクセス競合が発生しない。

【0019】また、請求項6記載の複数ポートメモリによれば、各メモリバンク選択部によってメモリバンクをアクセスして得たデータは、台成分配部によって連続アドレスとなるように合成された後、対応する入出力インタフェース部に転送される。

【0020】

【実施例】以下、図面に基づいて本発明の一実施例を説明する。図1は本発明の第1の実施例の複数ポートメモリを示す構成図である。図において、1は複数ポートメモリで、メモリインタリーブを構成するメモリバンクA及びメモリバンクBと、入出力インタフェース部10、11、並びにそれぞれがメモリバンクA及びメモリバンクBのどちらかを選択して入出力部インタフェース部10、11に接続する2個のメモリバンク選択部S0、S1、及びこれら2個のメモリバンク選択部S0、S1を排他的なメモリバンクを選択するよう制御する制御部C0を備えている。ここで、制御部C0はCPUから構成され、メモリバンク選択部S0、S1は電子スイッチ等から構成される。

【0021】入出力インタフェース部10、11は、システムバスB0、B1を通じてそれぞれ外部装置E0、E1と接続されている。システムバスB0、B1は、同じ速度でデータ転送を行なうものである。また、ここでメモリバンクA、Bを構成するメモリとしては、シンクロナスDRAM、ラムバスDRAM等を用いてもよい。

【0022】図4に本実施例におけるメモリインタリーブの構成を示す。図に示すように、メモリバンクAとメモリバンクBは、1ワード毎にインタリーブされており、アドレス0000(hex)を開始アドレスとして、偶数アドレスのワードはメモリバンクA上に設定され、奇数アドレスのワードはメモリバンクB上に設定されている。

【0023】図5は、P0の時点において、外部装置E0によって開始アドレス0000(hex)より転送長8ワードの連続データ読み出しを行ない、P1の時点において、外部装置E1によって開始アドレス0008(hex)より転送長8ワードの連続データ読み出しを行なう場合の動作タイミングを示した図である。

【0024】この場合、外部装置E0がP0の時点で偶数アドレス0000に対してアクセス要求を行なうと、制御部C0の制御に基づき、メモリバンクA選択部S0

接続がメモリバンクBに切り替えられ、メモリバンクBに対して行なわれる。以下同様に、メモリバンクAに対するアクセスとメモリバンクBに対するアクセスが交互に切り替えられる。

【0025】一方、既に外部装置E0が転送実行中であるP1の時点で、外部装置E1が偶数アドレス0010に対してアクセス要求を行なうと、メモリバンク切替えの位相調整のため、制御部C0によりしばらく遅延させられた(wait)後、外部装置E0からのメモリアクセスが奇数アドレス0001になった時点で、制御部C0によりメモリバンク選択部S1によって入出力インタフェース部11の接続がメモリバンクAに切り替えられる。これにより、外部装置E1はメモリバンクAに対するメモリアクセスを行なう。外部装置E1の場合も以下同様に、メモリバンクAに対するアクセスとメモリバンクBに対するアクセスとが交互に切り替えられる。

【0026】この結果、外部装置E0と外部装置E1のデータ転送は、それぞれメモリバンクAに対するアクセスとメモリバンクBに対するアクセスとが交互に切り替えられて実行されるが、位相が反転しているために、転送開始時に位相開始のため以外のアクセス競合は発生していない。

【0027】次に、本発明の第2の実施例を説明する。図6は本発明の第2の実施例の複数ポートメモリを示す構成図である。図において、10は複数ポートメモリで、メモリインタリーブを構成するメモリバンク1A、1B、1Cと、それぞれがメモリバンク1A、1B、1Cのどれかを選択するメモリバンク選択部S10、S11、S12、これら3個のメモリバンク選択部S10、S11、S12を排他的なメモリバンクを選択するよう制御する制御部C1、2個のメモリバンク選択部S10、S11からの入出力を合成して入出力インタフェース部110に接続する台成分配部M10、及びメモリバンク選択部S12からの入出力を合成して入出力インタフェース部111に接続する台成分配部M11を備えている。

【0028】入出力インタフェース部110、111は、それぞれシステムバスB10、B11を通じて外部装置E10、E11と接続されている。ここで、第1の実施例とは違って第2の実施例では、システムバスB10はシステムバスB11の2倍の速度でデータ転送を行っている。尚ここで、システムバスB10、B11として同期バスを用いてもよい。

【0029】図7は第2の実施例におけるメモリインタリーブの構成を示す図である。図に示すように、メモリバンク1A、1B、1Cは、1ワード毎にインタリーブされており、アドレス0000(hex)を開始アドレスとして、偶数アドレスのワードはメモリバンク1A上に設定され、奇数アドレスのワードはメモリバンク1B上に設定され、偶数アドレスのワードはメモリバンク1C上に設定されている。

(5)

特開平7-319755

9

19

1C上にそれぞれ設定されている。

【0030】図8は、P10の時点において、外部装置E10によって開始アドレス0000(hex)から長さ16ワードの連続データ読み出しを行ない、P11の時点において外部装置E11によって開始アドレス0010(hex)から長さ8ワードの連続データ読み出しを行なう場合の動作タイミングを示した図である。

【0031】この場合、外部装置E10がP10の時点で3nアドレスである0000(hex)に対してアクセス要求を行なうと、制御部C1により、メモリバンク選択部S10がメモリバンク1Aに、選択部S11がメモリバンク1Bにそれぞれ切替えられ、メモリバンク1A、1Bを使用してそれぞれアドレス0000、0001に対するメモリアクセスが行われる。次のアクセスサイクルでは、制御部C1によりメモリバンク選択部S10がメモリバンク1Cに、メモリバンク選択部S11がメモリバンク1Aに切替えられ、それぞれアドレス0002、0003に対するメモリアクセスが行われる。以下同様に、アクセスサイクル毎に各メモリバンク選択部S10、S11のメモリバンクが切替えられ、メモリアクセスが継続される。これらのデータは、合成分配部M10により順番が入れ替えられ、メモリの読み出し速度の2倍の速度のデータ列が入出力インタフェース部I10を通じてシステムバスB10に出力される。そして外部装置E10はシステムバスB10よりそのデータ列を順次読み出し、データ転送が完了する。

【0032】前述した外部装置E10へのデータ転送が行なわれているP11の時点で、外部装置E11により3n+1アドレスである0010(hex)に対してアクセス要求が行なわれると、メモリバンク切替えの位相調整のため、制御部C1によりアクセス要求対象となるデータが格納されたメモリバンク1Bが使用可能になるまでアクセスが遅延させられる(wait)。その後、メモリバンク1Bを使用してアドレス0010に対するメモリアクセスが行なわれる。

【0033】次のアクセスサイクルでは、制御部C1によりメモリバンク選択部S12がメモリバンク1Aに切替えられ、アドレス0012に対するメモリアクセスが行なわれる。以下同様に、アクセスサイクル毎にメモリバンク選択部S12に接続されるメモリバンクが切替えられ、メモリアクセスが継続される。これらのデータは、合成分配部M11により順番が入れ替えられ、メモリの読み出し速度と同じ速度のデータ列が入出力インタフェース部I11を通じてシステムバスB11に出力される。そして外部装置E11はシステムバスB11よりそのデータ列を順次読み出し、データ転送が完了する。

データ転送の開始時における位相調整のための遅延以外には、アクセス競合は発生していない。

【0035】次に、本発明の第3の実施例を説明する。図9は本発明の第3の実施例の複数ポートメモリを示す構成図である。図において、20は複数ポートメモリで、メモリインタリーブを構成するメモリバンクA、B、Cと、それぞれがメモリバンクA、B、Cのどれかを選択するメモリバンク選択部S20、S21、S22、これら3個のメモリバンク選択部S20、S21、S22を排他的なメモリバンクを選択するように制御する制御部C2、メモリバンク選択部S20からの入出力をシステムバスB20を介して外部装置E20に接続する入出力インタフェース部I20、メモリバンク選択部S21からの入出力をシステムバスB21を介して外部装置E21に接続する入出力インタフェース部I21、及びメモリバンク選択部S22からの入出力をシステムバスB22を介して外部装置E22に接続する入出力インタフェース部I22を備えている。ここで、第1の実施例と同様に第3の実施例では、システムバスB20～B22はそれぞれ同じ速度でデータ転送を行っている。

【0036】図10は第3の実施例におけるメモリインタリーブの構成を示す図である。図に示すように、メモリバンクA、B、Cは1ワード毎にインタリーブされており、アドレス0000(hex)を開始アドレスとして、3nアドレス(nは整数)のワードはメモリバンクA上に、3n+1アドレスのワードはメモリバンクB上に、3n+2アドレスのワードはメモリバンクC上にそれぞれ設定されている。

【0037】図11は、P20の時点において、外部装置E20によって開始アドレス0000(hex)から長さ8ワードの連続データ読み出しを行ない、P21の時点において外部装置E21によって開始アドレス0010(hex)から長さ8ワードの連続データ読み出しを行なうと共に、P22の時点において外部装置E22によって開始アドレス0020(hex)から長さ8ワードの連続データ読み出しを行なう場合の動作タイミングを示した図である。

【0038】この場合、外部装置E20がP20の時点で3nアドレスである0000(hex)に対してアクセス要求を行なうと、制御部C2により、メモリバンク選択部S20がメモリバンクAに切替えられ、メモリバンクAを使用してアドレス0000に対するメモリアクセスが行われる。次のアクセスサイクルでは、制御部C2によりメモリバンク選択部S20がメモリバンクBに切替えられ、アドレス0001に対するメモリアクセスが行われる。以下同様に、アクセスサイクル毎にメモリバンク選択部S20に接続されるメモリバンクが切替えられ、メモリアクセスが継続される。これらのデータは、合成分配部M20により順番が入れ替えられ、メモリの読み出し速度と同じ速度のデータ列が入出力インタフェース部I20を通じてシステムバスB20に出力される。そして外部装置E20はシステムバスB20よりそのデータ列を順次読み出し、データ転送が完了する。

特開平7-319755

(7)

12

11

続される。

【0039】一方、外部装置E20に対するデータ転送実行中であるP22の時点で、外部装置E22が $3n+2$ アドレスである0020(hex)に対してアクセス要求を行うと、メモリバンク切替えの位相調整のため、制御部C20によりアクセス要求対象となるデータが格納されたメモリバンクCが使用可能になるまでアクセスが遅延させられる(wait)。この後、メモリバンクCを使用してアドレス0020に対するメモリアクセスが行なわれる。

【0040】次のアクセスサイクルでは、制御部C10によりメモリバンク選択部S22がメモリバンクAに切替えられ、アドレス0021に対するメモリアクセスが行なわれる。以下同様に、アクセスサイクル毎にメモリバンク選択部S22に接続されるメモリバンクが切替えられ、メモリアクセスが継続される。これらのデータは、メモリの読みだし速度と同じ速度のデータ列として入出力インタフェース部I22を通じてシステムバスB22に出力される。そして外部装置E22はシステムバスB22よりそのデータ列を順次読み出し、データ転送が完了する。

【0041】さらに、外部装置E20及び外部装置E22に対するデータ転送実行中であるP21の時点で、外部装置E21が $3n+1$ アドレスである0010(hex)に対してアクセス要求を行うと、メモリバンク切替えの位相調整のため、制御部C20によりアクセス要求対象となるデータが格納されたメモリバンクBが使用可能になるまでアクセスが遅延させられる(wait)。この後、メモリバンクBを使用してアドレス0010に対するメモリアクセスが行なわれる。

【0042】次のアクセスサイクルでは、制御部C10によりメモリバンク選択部S21がメモリバンクCに切替えられ、アドレス0011に対するメモリアクセスが行なわれる。以下同様に、アクセスサイクル毎にメモリバンク選択部S21に接続されるメモリバンクが切替えられ、メモリアクセスが継続される。これらのデータは、メモリの読みだし速度と同じ速度のデータ列として入出力インタフェース部I21を通じてシステムバスB21に出力される。そして外部装置E21はシステムバスB21よりそのデータ列を順次読み出し、データ転送が完了する。

【0043】前述した第3の実施例においても、外部装置E20乃至外部装置E22のデータ転送においては、メモリバンクA、B、Cに対するアクセスが交互に切り

えス部からのメモリに対する連続データ転送を、ワード毎又は一定データ長毎のメモリインタリーブ構成により複数のメモリバンクに分散させ、各メモリバンクを位相差をつけて排他的に使用させて行っているため、一のメモリバンクに対する複数の外部装置からの同時アクセスが防止されると共に各外部装置からのメモリアクセスが並行して行われるため、各外部装置のアクセス競合による各メモリアクセスサイクルの遅延はなく、転送速度が低下することがない。特にその効果は、転送長の長いブロックの転送において著しい。

【0045】また、請求項2記載の複数ポートメモリによれば、ワード毎又は一定データ長毎のメモリインタリーブ構成により複数のメモリバンクに分散させると共に、2つの外部装置のデータ転送速度の比が1:1である場合に(1+1)個のメモリバンクを設け、2つの入出力インタフェース部からのメモリに対する連続データ転送を、各メモリバンクアクセスに位相差をつけて排他的に行っているため、一のメモリバンクに対する複数の外部装置からの同時アクセスが防止されると共に各外部装置からのメモリアクセスが並行して行われるため、各外部装置のアクセス競合による各メモリアクセスサイクルの遅延はなく、転送速度が低下することがない。特にその効果は、転送長の長いブロックの転送において著しい。

【0046】また、請求項3記載の複数ポートメモリによれば、3つ以上の入出力インタフェース部からのメモリに対する連続データ転送を行うために、ワード毎又は一定データ長毎のメモリインタリーブ構成により複数のメモリバンクに分散させると共に、各外部装置のデータ転送速度の比が $S1:S2:\dots:S_n$ である場合に($S1+S2+\dots+S_n$)個のメモリバンクを設け、各メモリバンクへのアクセスに位相差をつけて各メモリバンクを排他的に使用させているため、一のメモリバンクに対する複数の外部装置からの同時アクセスが防止されると共に各外部装置からのメモリアクセスが並行して行われるため、各外部装置のアクセス競合による各メモリアクセスサイクルの遅延はなく、転送速度が低下することがない。特にその効果は、転送長の長いブロックの転送において著しい。

【0047】また、請求項4記載の複数ポートメモリによれば、開始アドレス(第mアドレス)から連続的なメモリアクセスを行う際に、第mアドレスに対応する第kのメモリバンクから第pのメモリバンクまで順次アクセスが行われた後、第1のメモリバンクに戻り、該第1の

(8)

特開平7-319755

13

リアクセス制御中に、他の外部装置からのアクセス要求があった際に、前記他の外部装置からのアクセス要求が遅延されてメモリバンクアクセスの位相が調整され、メモリバンクアクセスの位相整合がとれた時点から前記双方の外部装置からのメモリアクセスが並行して行われるので、データ転送の開始時における位相調整のための遅延以外にはアクセス競合が発生しない。

【0049】また、請求項6記載の複数ポートメモリによれば、各メモリバンク選択部によってメモリバンクをアクセスして得たデータは、台成分配部によって連続アドレスとなるように合成された後、対応する入出力インタフェース部に転送されるので、外部装置においてデータの編集処理を行う必要がない。

【図面の簡単な説明】

【図1】本発明の第1の実施例の複数ポートメモリを示す構成図

【図2】従来例の複数ポートメモリを示す構成図

【図3】従来例における動作タイミングを示す図

【図4】本発明の第1の実施例におけるメモリインタリーブを示す構成図

【図5】本発明の第1の実施例における動作タイミングを示す図

【図6】本発明の第2の実施例の複数ポートメモリを示す

14

* 構成図

【図7】本発明の第2の実施例におけるメモリインタリーブを示す構成図

【図8】本発明の第2の実施例における動作タイミングを示す図

【図9】本発明の第3の実施例の複数ポートメモリを示す構成図

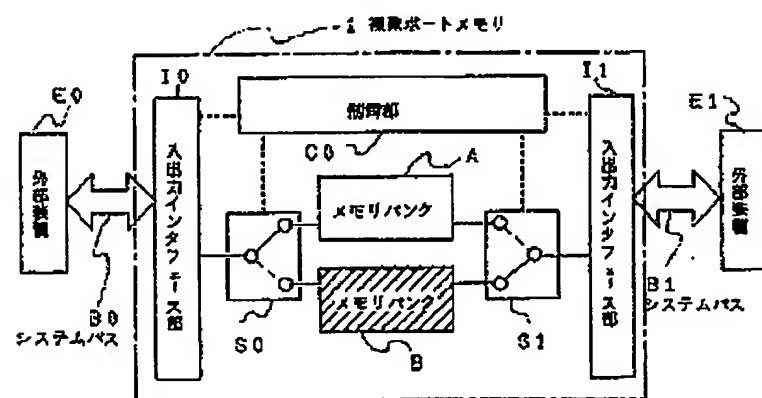
【図10】本発明の第3の実施例におけるメモリインタリーブを示す構成図

10 【図11】本発明の第3の実施例における動作タイミングを示す図

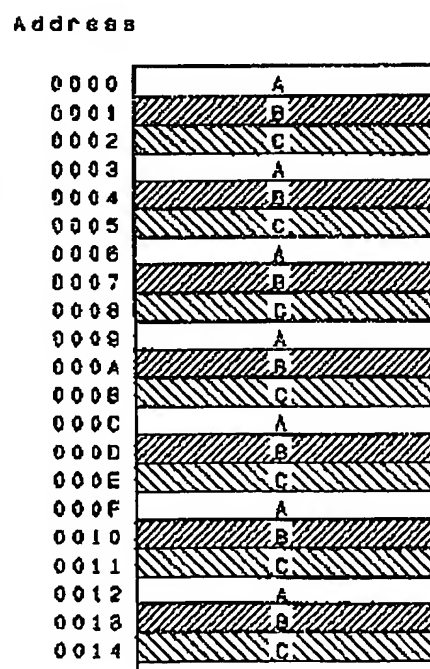
【符号の説明】

1、10、20…複数ポートメモリ、A、B、C、1A、1B、1C…メモリバンク、S0、S1、S10、S11、S12、S20、S21、S22…メモリバンク選択部、C0、C1、C2…制御部、i0、i1、i10、i11、i20、i21、i22…入出力インタフェース部、B0、B1、B10、B11、B20、B21、B22…システムバス、E0、E1、E10、E11、E20、E21、E22…外部装置、M10、M11…台成分配部、P0、P1、P10、P11、P20、P21、P22…外部装置のアクセス要求時点、wait…アクセス遅延。

【図1】



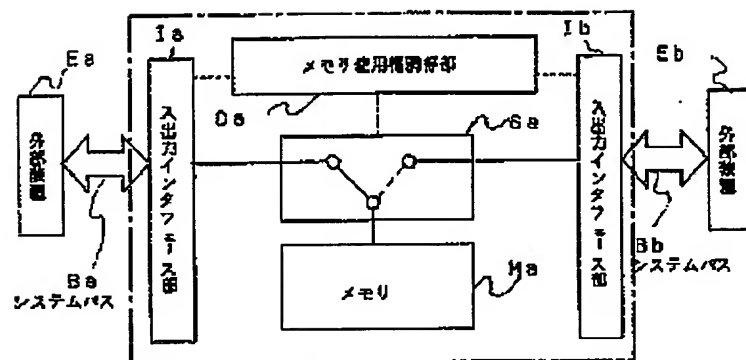
【図7】



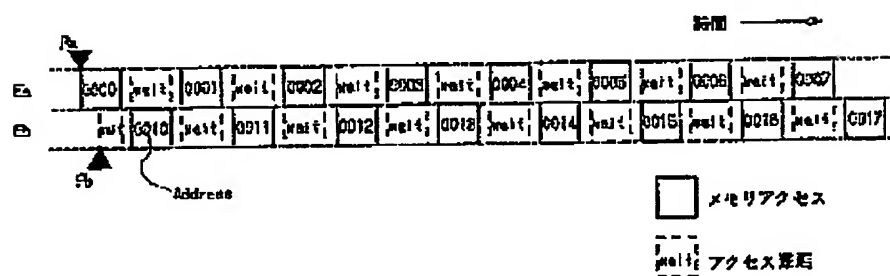
(9)

特開平7-319755

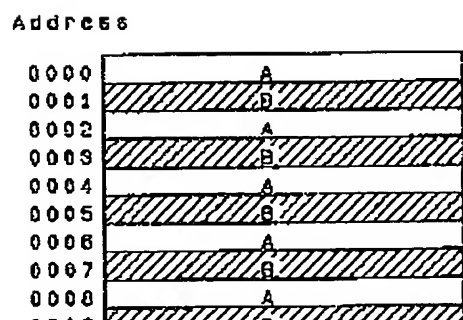
【図2】



【図3】



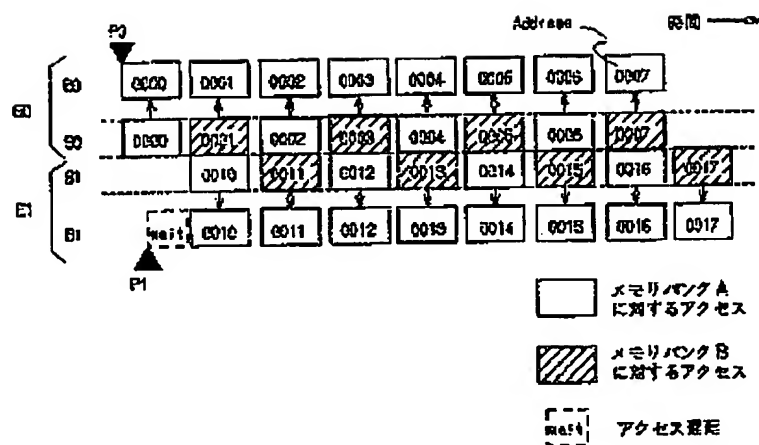
【図4】



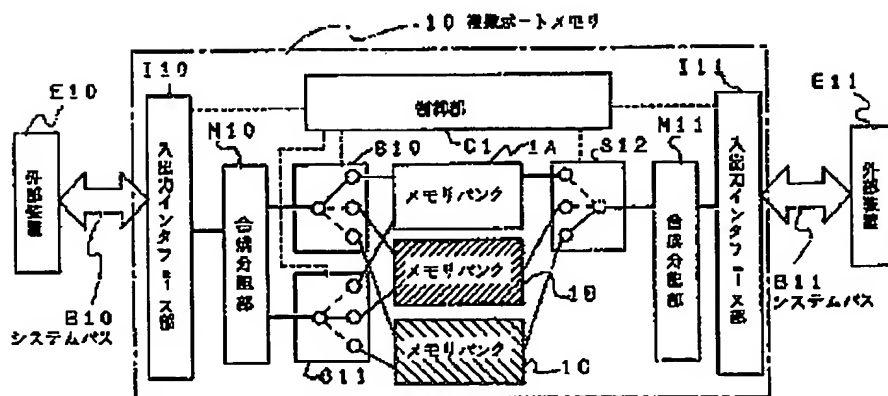
(10)

特開平7-319755

【図5】



【図6】



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)